

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008356358 **Image available**

WPI Acc No: 90-243359/199032

**Semiconductor device mfr. with silicon-on-insulator structure - by
depositing silicon film on roughened surface, crystallising film and
forming circuit element on film NoAbstract Dwg 1d,e/2**

Patent Assignee: MATSUSHITA ELEC IND CO LTD (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 2170522	A	19900702	JP 88326579	A	19881223		199032 B

Priority Applications (No Type Date): JP 88326579 A 19881223

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; SILICON; INSULATE;
STRUCTURE; DEPOSIT; SILICON; FILM; ROUGH; SURFACE; CRYSTAL; FILM;
FORMING

; CIRCUIT; ELEMENT; FILM; NOABSTRACT

Derwent Class: L03; U11; U13

International Patent Class (Additional): H01L-021/20; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03195022 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: **02-170522** [JP 2170522 A]

PUBLISHED: July 02, 1990 (19900702)

INVENTOR(s): ITO YUTAKA

WADA ATSUO

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 63-326579 [JP 88326579]

FILED: December 23, 1988 (19881223)

INTL CLASS: [5] H01L-021/20; H01L-021/263; H01L-021/336; H01L-021/84;
H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass
Conductors)

JOURNAL: Section: E, Section No. 980, Vol. 14, No. 437, Pg. 35,
September 19, 1990 (19900919)

ABSTRACT

PURPOSE: To enhance the electrical properties by a method wherein the surface of an insulator is ground into fine irregularities and then circuit elements are formed on a recrystallized silicon film formed of an unsingle crystal silicon film which is, after deposition, melted, recrystallized and heat-treated for recrystallization.

CONSTITUTION: The surface of an insulator 1 is ground into fine irregularities 20 and then an unsingle crystal silicon film 2 is deposited by CVD process, etc., on the surface; the surface of the film 2 is melted and recrystallized using energy beams 3 to form a recrystallized silicon film 4. Later, a MOS transistor is formed by MOS processes such as ion-implantation, oxidation, heat treatment, etc. That is, the fine irregularities 20 are formed by grinding process on the surface of the insulator 1; and the unsingle crystal film 2 recrystallized using the energy beams is concentrated in the interface with the insulator of the recrystallized silicon film 4 to develop fine crystalline defects 5 in the interface. Accordingly, the stress on the interface can be relieved while the crystalline defect in the interface fills the role of a getter of any impurity and the crystalline defect itself so that the impurity and the crystalline defect in the element formation part near the surface may be reduced. Through these procedures, the electrical properties can be enhanced.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-170522

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月2日

H 01 L 21/20
21/263
21/336
21/84
29/784

7739-5F

7739-5F

8624-5F H 01 L 29/78 3 1 1 Z

審査請求 未請求 請求項の数 1 (全4頁)

⑯ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭63-326579

⑱ 出 願 昭63(1988)12月23日

⑲ 発 明 者 伊 藤 豊 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑲ 発 明 者 和 田 敦 夫 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑲ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

絶縁物表面に機械的研磨により微小な凹凸を形成した後、前記絶縁物上に非単結晶シリコン膜を増殖し、エネルギービームを用いて、前記非単結晶シリコン膜を溶融再結晶化し、その後熱処理を行い、再結晶化された前記シリコン膜に回路素子を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明はSOI(Silicon On Insulator)構造の半導体装置の製造方法に関するものである。

従来の技術

SOIの形成方法として、エネルギービームによる再結晶化法が近年注目をあびている。これは、絶縁物基板あるいは絶縁膜上に非単結晶シリ

コン膜を増殖し、レーザ、電子ビーム等のエネルギービームを照射し、シリコン膜を再結晶化し、再結晶化したシリコン膜に、トランジスタ等の素子を形成するものである。概要を第2図に示す。

第2図の方法は、(a)に示す絶縁物21上に非単結晶シリコン膜22を形成し(b)、エネルギービーム23にて膜22を溶融再結晶化して再結晶化シリコン膜24を形成し(c)、膜24にMOSトランジスタ等の半導体素子を形成する(d)。26はゲート、27はソース、28はドレイン、29はゲート絶縁膜である。

発明が解決しようとする課題

第2図において説明すると、絶縁物21に非単結晶シリコン膜22を増殖する方法として、CVD法、スパッタ法等が考えられるが、いずれの方法で増殖しても非単結晶シリコン膜22には、シリコン以外のC(炭素)、O(酸素)、金属等の不純物が含まれており、シリコン基板に比べるとその量は多い。なおこれら不純物は本来のドーパント不純物ではない。不純物の混入源

は、洗浄、シリコン膜を堆積する時に流すガス、堆積装置自身等がある。また、堆積したシリコン膜には含まれていなくても、エネルギービームによる再結晶化時に下地絶縁膜から不純物が混入したり、再結晶化前に、シリコン膜を島構造等に加工する場合には、ドライエッチング工程による不純物の汚染が考えられる。不純物種としては、Al, C, O, 重金属等が考えられるが、これらの不純物は非単結晶シリコン膜をエネルギービームで熔融再結晶化する際、転位等結晶欠陥の原因となり、実際に素子を形成した場合、その電気特性劣化につながる。Cr等の重金属では深いエネルギー準位を形成しやはり電気特性の劣化を招いていた。

また再結晶化シリコン膜と下地絶縁膜界面に大きな応力が生じ、クラックや電気特性劣化の原因の一つになっていた。

本発明者らは以上のような従来のエネルギービームによる再結晶化を用いたSOI構造の半導体装置の製造方法の諸欠点にかんがみて、本発明を

完成するに至ったのである。

課題を解決するための手段

本発明の方法は、絶縁物表面を研磨して微小な凹凸を形成してから、非単結晶シリコン膜を堆積し、エネルギービームで非単結晶シリコン膜を熔融再結晶化し、その後熱処理を行い、再結晶化されたシリコン膜に回路素子を形成するものである。

作用

本発明において、絶縁物の表面すなわち絶縁物と非単結晶シリコン膜との界面には、微小な凹凸が形成されている為、エネルギービームを照射して再結晶化する際に、界面が滑らかな場合と比べて、再結晶化されたシリコン膜の絶縁膜との界面部分に、ごく微小な転位等の結晶欠陥を多数発生する。この界面部分の多数の結晶欠陥は不純物のゲッタリング効果があるので、再結晶化後の熱処理で再結晶化シリコン膜に含まれる不純物が界面付近に捕獲され、実際に素子を形成する再結晶化シリコン膜の表面付近の不純物の数を低減させる

ことができる。同時に、界面の多数の結晶欠陥は、熱処理により表面付近の結晶欠陥を吸収し、素子形成部分の結晶欠陥低減の効果もある。

実施例

以下図面に基ついて更に詳しく説明する。第1図は本発明の一実施例にかかる半導体装置の製造方法を示すものである。第1図(a)において絶縁物1は石英基板あるいはシリコン基板を酸化あるいは酸化膜を堆積したものである場合が多い。通常シリコン基板を酸化した場合でも、酸化膜表面は滑らかである。そこで、第1図(b)に示すように絶縁物1表面を機械研磨し微小な凹凸20を形成する。前記微小な凹凸20は高さで300Å以下、周期も300Å以下の非常に小さなものとする。その後第1図(c)に示すように非単結晶シリコン膜2をCVD法等で例えば0.5μm堆積し、第1図(d)に示すようにレーザ等のエネルギービーム3で熔融再結晶化し、再結晶化シリコン膜4を形成する。この後、イオン注入工程、酸化、熱処理等のMOSプロセスで、MOSトランジスタを形成し

たのが、第1図(e)である。6はゲート、7はソース、8はドレイン、9はゲート絶縁膜である。

第1図(d)に示すように絶縁物1の表面に微小な凹凸20を設けておくことにより、再結晶化シリコン膜4の絶縁物1との界面付近に、再結晶化時に多数の転位等の微小な欠陥5を生じる。しかし、界面付近に生じた結晶欠陥5は、非常に微小であるので、実際に素子を形成する再結晶化シリコン膜4の表面にまでは、欠陥は波及しない。界面付近の多数結晶欠陥5は、不純物のゲッタとして働くので、再結晶化シリコン膜4に、C(炭素)や重金属等の不要不純物が含まれる場合、熱処理を行うことにより前記不純物を界面付近に捕獲することができ、素子を形成する再結晶化シリコン膜4の表面付近の不要不純物を低減することができる。また界面の結晶欠陥5は、不純物だけでなく、再結晶化シリコン膜4の界面部分以外に生じた転位等の結晶欠陥を吸収する働きを持つ。界面付近の結晶欠陥5に、前述したような不純物や結晶欠陥のゲッタとして機能させるには、再結

晶化以後の熱処理もしくは熱処理に相当するプロセスを少なくとも900℃望ましくは1000℃以上で行う。

また、界面付近の多数の結晶欠陥5は、不純物や結晶欠陥のゲッタとして働くだけでなく、再結晶化シリコン膜4と絶縁物1との界面に生じる応力を緩和する働きも持つ。

なお、形成する素子は、MOSトランジスタに限らず他の素子が形成されてもよい。

本発明は前記したような方法により、絶縁物表面に研磨による微少な凹凸を形成することにより、非単結晶膜をエネルギービームで再結晶化した時に、再結晶化シリコン膜の絶縁物との界面付近に集中して、結晶欠陥を発生させることにより、界面の応力を緩和するとともに、界面の結晶欠陥が不純物や結晶欠陥のゲッタとして働くため、表面付近素子形成部分の不純物や結晶欠陥を低減できる。

発明の効果

以上説明したように、本発明によれば、エネル

ギービームによる熔融再結晶化法を用いて、SOI (Silicon On Insulator) 構造の半導体装置を製造する上で、再結晶化シリコン膜の素子形成部分の不純物や結晶欠陥を低減でき、しかも界面の応力の緩和にも寄与する。したがってSOI構造半導体装置の電気特性を向上させることができる。

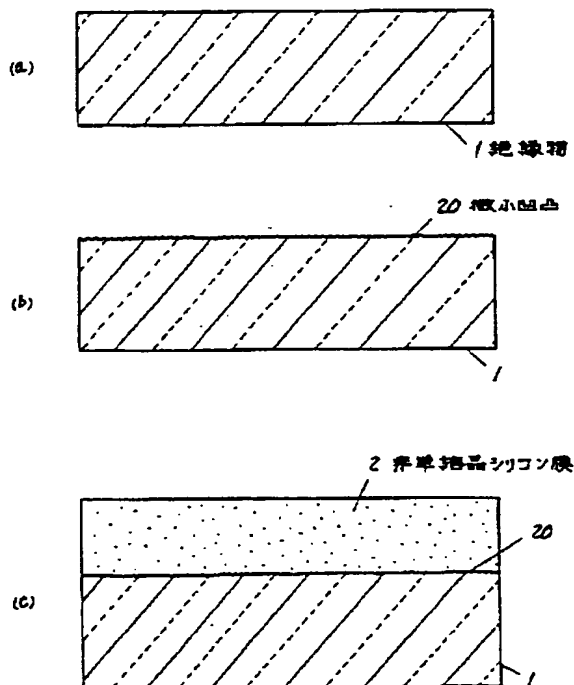
4. 図面の簡単な説明

第1図(a)~(c)は本発明の一実施例の半導体装置の製造工程断面図、第2図(a)~(d)は従来の半導体装置の製造工程断面図である。

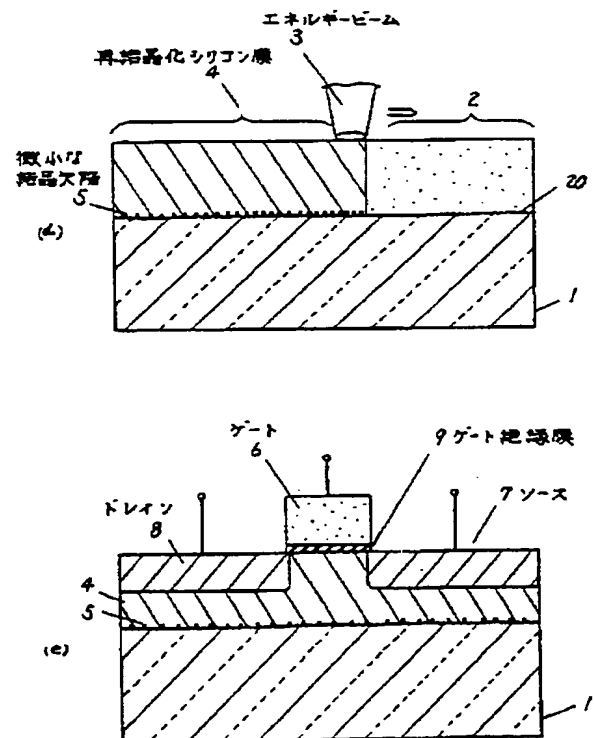
1……絶縁物、2……非単結晶シリコン膜、3……エネルギービーム、4……再結晶シリコン膜、5……結晶欠陥、20……微小凹凸。

代理人の氏名 弁護士 栗野重孝 ほか1名

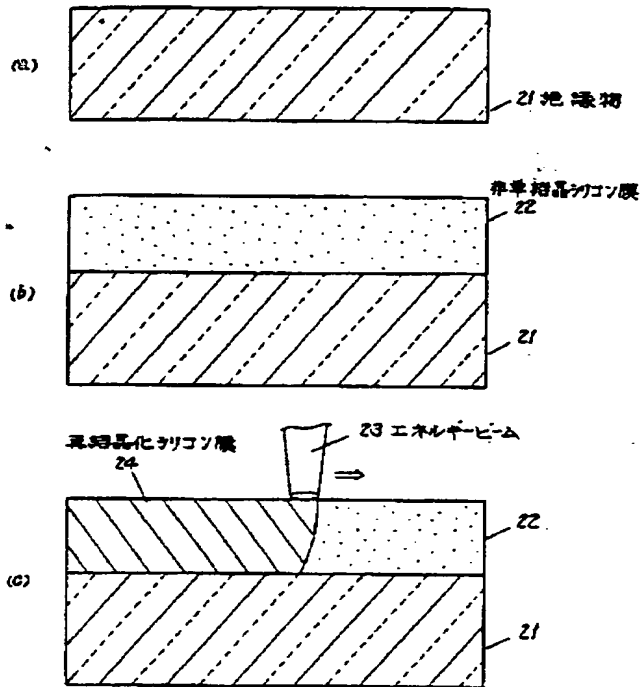
第1図



第1図



第 2 図



第 2 図

